

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-199146

(43)Date of publication of application : 31.07.1998

(51)Int.Cl. G11B 20/10
H03M 1/00

(21)Application number : 08-356876

(71)Applicant : VICTOR CO OF JAPAN LTD

(22) Date of filing : 26.12.1996

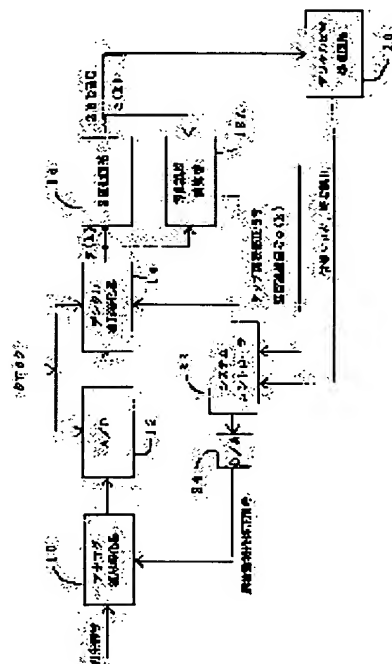
(72)Inventor : HAYAMIZU ATSUSHI
MORI TOSHIO

(54) BINARIZATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To keep a frequency characteristic of a waveform equalization circuit always a good state by controlling a frequency characteristic of a waveform equalizer constituted with an analog system using a binarization circuit a residual error signal obtained from an output of a digital waveform equalizer.

SOLUTION: An equalization error is remained in an equalization error computing element 18A by reducing a tap coefficient of an A/D conversion for high speed operation or a digital waveform equalizer. This remained equalization error is sent to a calculating means of a system controller 22, information caused by incomplete waveform variation such as signal jitter generated by a digital signal processing circuit 20, a code error, and the like is inputted, a frequency correcting signal is constituted, based on these information, sent to an analog waveform equalizer, and a frequency characteristic is corrected. A frequency characteristic of an analog waveform equalizer 10 is corrected by correcting a tap coefficient if it is transverse filter. Correction of each filter when they are constituted with a low pass filter.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

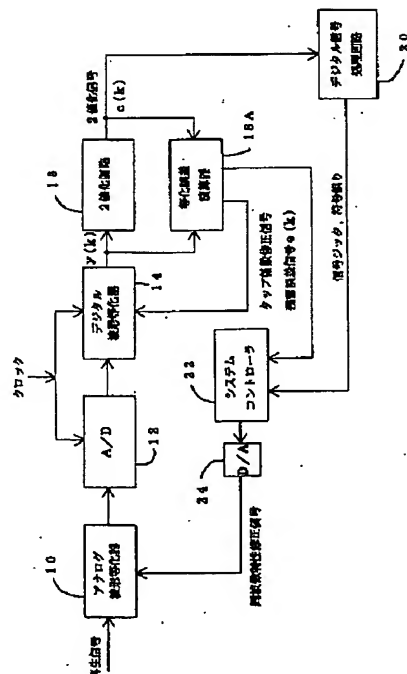
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 所定の規則に従い符号化され記憶媒体に記憶されているデータ信号の再生出力信号を所定の規則に従い復号化することによって符号化された前記データ信号を再生するデータ再生装置用2値化回路で、前記再生出力信号に回答する周波数特性が可変な第1の波形等化回路と、

前記第1の波形等化回路より出力されるアナログ信号を所定のクロックで離散値に変換する離散化回路と、

前記離散化回路で離散化された信号を所定の波形に修正する第2の波形等化回路と、

前記第2の波形等化回路の出力信号を、その出力レベルによって2値化する2値化回路と、

前記2値化回路にて得た2値化信号と前記第2の波形等化器の出力とから等化誤差を演算して前記第2の波形等化回路の周波数特性を制御する誤差演算器と、

前記誤差演算器の出力信号に回答して前記第1の波形等化器の周波数特性を制御する制御手段とを、有するデータ再生装置用2値化回路。

【請求項2】 前記2値化回路にて得た2値化信号をデジタル処理して信号の時間方向の揺らぎ成分及び／又は符号誤り情報を得るデジタル信号処理手段を更に有し、前記制御手段が前記第1の波形等化器の周波数特性を前記等化誤差の残留信号、前記信号の時間方向の揺らぎ成分及び／又は前記符号誤り情報に基づいて制御するように構成されている請求項1記載のデータ再生装置用2値化回路。

【請求項3】 信号を2値化する2値化回路で、前記信号に回答する周波数特性が可変な第1の波形等化回路と、

前記第1の波形等化回路より出力されるアナログ信号を所定のクロックで離散値に変換する離散化回路と、

前記離散化回路で離散化された信号を所定の波形に修正する第2の波形等化回路と、

前記第2の波形等化回路の出力信号を、その出力レベルによって2値化する2値化回路と、

前記2値化回路にて得た2値化信号と前記第2の波形等化器の出力とから等化誤差を演算する誤差演算器と、

前記誤差演算器の出力信号に回答して前記第1及び第2の波形等化器の周波数特性を制御する制御手段とを、有する2値化回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は所定の規則に従って変調されたデータ信号が記憶されている光ディスクや磁気テープなどの記憶媒体からデータ信号を再生するためのデータ再生装置の波形等化回路を含む2値化回路に関する。

【0002】

【従来の技術】 従来より、光ディスクなどの再生信号出

力の符号間干渉による波形歪みを除去することを目的として波形等化回路が用いられている。特にディスクの半径方向においてディスク上の読み出し位置の変化が生じて、時間的な周波数特性の変動があるが、これにともない再生信号出力が変化することに対応して波形等化回路の周波数特性を変えるために粗調用の波形等化回路と微調用の波形等化回路を2段従属接続することを特徴とする特開昭62=34387号公報が公知である。特開昭62=34387号公報によれば、ディスク上の読み出し位置の変化による周波数特性の差には効果が期待できるものの媒体間での周波数特性差には対応ができない。

【0003】 また、最近ではデジタル回路によって波形等化器を構成することが多くなっている。しかしデジタル波形等化器は乗算器が必要であり、転送周波数の高レート化に伴って回路が複雑化するために、微妙な周波数特性変化に対応できる2値化回路を簡単に構成することが困難である。図6は近年光ディスク装置などのデータ再生装置で使用されている2値化回路の一例である。本例を基にして従来の2値化回路について説明をする。

【0004】 再生データはLPF8に入力され、折り返し歪みなどの原因となる必要帯域外の周波数成分の除去が行われ、A/Dコンバータ12で所定のビット数を持った離散化信号列に変換される。離散化された信号列はレジスタと乗算器、加算器で構成される波形等化器14に入力され、符号間干渉などに起因する波形歪みの除去が行われ、2値化回路16に入力され2値化信号に変換される。2値化信号は図示省略の復号器に入力され、データ復号が行われ再生データが出力される。A/Dコンバータ12の変換クロック、波形等化器14でのレジスタのシフトクロックは図示省略のPLLなどのクロック発生器によって構成される。また、一般的にはLPF8の前に図示省略の自動利得制御回路が付加され、等化誤差の演算に支障を来さないようになっていることは言うまでもない。等化誤差演算器18では判定された2値化信号と2値化回路16への入力信号の大きさを基にして、デジタル波形等化器14のタップ係数修正信号を生成する。生成法については最小二乗法、ZF法(Zero Forcing Method)など、公知例が多数ある。デジタル波形等化器14の構成例を図3に示す。本構成例ではFIRフィルタ形の波形等化器を示す。

【0005】 しかるに図3に示すようにデジタル波形等化器はmビットとnビットの乗算が必要であり、高速動作が必要な場合はA/Dコンバータも含めてビット数の低減が行われることが多い。

【0006】

【発明が解決しようとする課題】 デジタル波形等化器はmビットとnビットの乗算が必要であり、高速動作が必要な場合はA/Dコンバータも含めてビット数の低減が行われることが多いが、この場合は、等化誤差に対して十分な等化が行われず結果として符号誤りの増加を招く

こととなる。

【0007】したがって、本発明は再生出力信号が符号間干渉などによって歪むことにより復号誤りが増大することを低減する波形等化回路の周波数特性を常に良好な状態に保ち、記録状態の差や経時変化などにより再生出力信号に周波数特性の差が生じた場合でも符号誤りの増加を招くことがなく、良好な状態でデータ再生を行うことのできるデータ再生装置の2値化回路を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は上記目的を達成するために、従来の2値化回路のA/Dコンバータの前段に、周波数特性が可変なアナログ構成の波形等化回路を設け、デジタル波形等化器の出力を2値に変換する2値化回路及びデジタル波形等化器の出力から等化誤差演算器で得られる残留誤差信号を用いて、アナログ構成の波形等化回路の周波数特性を制御するようにしている。

【0009】すなわち本発明によれば、所定の規則に従い符号化され記憶媒体に記憶されているデータ信号の再生出力信号を所定の規則に従い復号化することによって符号化された前記データ信号を再生するデータ再生装置用2値化回路で、前記再生出力信号にตอบสนองする周波数特性が可変な第1の波形等化回路と、前記第1の波形等化回路より出力されるアナログ信号を所定のクロックで離散値に変換する離散化回路と、前記離散化回路で離散化された信号を所定の波形に修正する第2の波形等化回路と、前記第2の波形等化回路の出力信号を、その出力レベルによって2値化する2値化回路と、前記2値化回路にて得た2値化信号と前記第2の波形等化器の出力とから等化誤差を演算して前記第2の波形等化回路の周波数特性を制御する誤差演算器と、前記誤差演算器の出力信号にตอบสนองして前記第1及び第2の波形等化器の周波数特性を制御する制御手段とを、有するデータ再生装置用2値化回路が提供される。

【0010】また、上記構成において前記2値化回路にて得た2値化信号をデジタル処理して信号の時間方向の揺らぎ成分及び／又は符号誤り情報を得るデジタル信号処理手段を更に有し、前記制御手段が前記第1の波形等化器の周波数特性を前記等化誤差の残留信号、前記信号の時間方向の揺らぎ成分及び／又は前記符号誤り情報に基づいて制御するよう構成することは好ましい態様である。

【0011】

【発明の実施の形態】以下、本発明の2値化回路の実施の形態を好ましい実施例によって図面に従い詳細に説明する。図1は、本発明の2値化回路の好ましい実施例のブロック図である。光ディスクなどから再生された信号はアナログ波形等化器10に入力される。このアナログ波形等化器10は、その周波数特性が変更可能であり、後述する制御信号により周波数特性が変化する。アナロ

グ波形等化器10の出力信号はA/Dコンバータ12に与えられ、所定のクロックによりサンプリングが行われ、離散値への変換が行われ、所定ビット数のデジタルデータとされる。

【0012】A/Dコンバータ12の出力信号はデジタル波形等化器14に入力され、デジタル信号の状態で後述するタップ係数修正信号により、波形の修正が行われる。デジタル波形等化器14の出力信号は2値化回路16と等化誤差演算器18Aに与えられる。2値化回路16では入力信号を2値化し、2値化された信号はデジタル信号処理回路20に与えられる。2値化された信号及びデジタル波形等化器14の出力信号は等化誤差演算器18Aに与えられ、タップ係数修正信号と残留誤差信号が生成され、タップ係数修正信号はデジタル波形等化器14に与えられ、残留誤差信号は制御手段として動作するシステムコントローラ22に与えられる。

【0013】システムコントローラ22はCPU（中央演算処理装置）やメモリ、インターフェースなどを含み、アナログ波形等化器10の周波数特性を制御、変更するための信号が生成され、この信号はD/Aコンバータ24を介してアナログ信号とされ、アナログ波形等化器10に与えられる。また、デジタル信号処理回路20からは信号ジッタ及び符号誤りを示す信号がシステムコントローラ22に与えられ、システムコントローラ22は残留誤差信号のみならず、これらの信号をも用いてアナログ波形等化器10の周波数特性を制御する。

【0014】図2は等化誤差演算器18Aの構成を詳しく示すブロック図である。等化誤差演算器18Aはデジタル波形等化器14の出力信号 $y(k)$ と2値化回路16の出力信号 $c(k)$ の差を演算する減算器30と、1クロック遅延する“D”で示す遅延回路32A、32B、32C、乗算器34A、34B、34C、演算器36A、36B、36Cを有する。演算器36A、36B、36Cは $\alpha \sum \text{sgn}(x)$ を演算するもので、 $\text{sgn}(x)$ は $x \geq 0$ で+1、 $x < 0$ で-1である。また、 α は1より小のタップ係数修正のための係数である。

【0015】図3はデジタル波形等化器14の構成を詳しく示すブロック図である。デジタル波形等化器14はレジスタ40、42、乗算器44A、44B、44C、加算器46を有し、図2の等化誤差演算器18Aから与えられるタップ係数修正信号A1、A2、A3によりタップ係数が変更される。図4はアナログ波形等化器10の構成を詳しく示すブロック図である。アナログ波形等化器10は再生信号の入力されるLPF50およびHPF52と、HPF52の出力信号の振幅をD/Aコンバータ24からの周波数特性修正信号により変更する係数器54と、LPF50の出力信号と係数器54の出力信号を加算する加算器56と、加算器56の出力信号にตอบสนองするLPF58とを有する。

【0016】次に上記構成の動作について説明する。A

／Dコンバータ 12 以降については本質的に従来例と同様の動作を行うが、以上述べたように高速動作を行うために A/D 変換あるいはデジタル波形等化器のタップ係数を削減したことにより等化誤差演算器 18A には等化誤差が残留する。残留した等化誤差はシステムコントローラ 22 として構成される演算手段に送られる。システムコントローラ 22 ではデジタル信号処理回路 20 で生成された信号ジッタや符号誤りなど、不完全な波形等化に起因する情報が入力され、これらの情報を基にして周波数修正信号を構成し、アナログ波形等化器に送出し周波数特性の修正が行われる。アナログ波形等化器 10 の周波数特性の修正はトランスバースアルフィルタであればタップ係数の修正で、図 4 に示す低域フィルタ、高域フィルタによる構成であれば各々のフィルタの利得調整で可能である。

【0017】本例では 2 値化後の信号 $c(k)$ (時点 k での 2 値化信号出力) をそのまま用い、等化誤差を生成する例を示すが、パーシャルレスポンスなどの場合は 2 値化回路出力を元にして多値での比較をすることも可能である。また、本例では ZF 法アルゴリズムを用いた場合を示すが、他のアルゴリズムでも本発明は有効である。ZF 法アルゴリズムでは、タップ係数修正信号の生成はデジタル波形等化出力 $y(k)$ と 2 値化回路 16 の出力との差 $e(k)$ を元に図中 Σ で示す所定回数の等化誤差と 2 値化回路の積和演算を行い、修正係数の α を乗じたタップ係数修正信号を出力する。

【0018】ここで $e(k)$ 出力を除いた構成は従来例と同様である。前述したようにタップ係数修正を行った場合でも、 $e(k)$ が残留する。残留誤差信号 $e(k)$ はシステムコントローラ 22 に送られ、残留誤差が最小となるようアナログ波形等化器 10 の周波数特性が調整される。図 4 に示すアナログ波形等化器 10 では、ベッセルフィルタなどの群遅延一定のフィルタを用いた LPF と HPF による構成が示されているが、ここで周波数特性修正信号は HPF 52 の出力信号に応答する係数器 54 の修正に用いられ、周波数特性のピーク値の調整を行い、 $e(k)$ の絶対値、あるいは 2 乗した値が最小となるようにピーク値を変更する。

【0019】2 値化信号は後続のデジタル信号処理回路 20 で復号、誤り訂正などの処理がなされるが、デジタル信号処理回路 20 で生成される符号誤り、信号ジッタ

が最小となるよう同様に調整が行われる。図 5 はシステムコントローラ 22 の動作を示すフローチャートである。ステップ S1 で残留誤差信号 $e(k)$ を読み込み、ステップ S2 で $e(k)$ の絶対値、あるいは 2 乗した値が最小となるよう、アナログ波形等化器 10 の周波数特性を調整する。次いでステップ S3 でデジタル信号処理回路 20 からの符号誤り情報を読み込む。ステップ S4 では符号誤りが最小となるよう、アナログ波形等化器 10 の周波数特性を調整する。次いでステップ S5 でデジタル信号処理回路 20 からの信号ジッタの情報を読み込む。ステップ S6 では信号ジッタが最小となるよう、アナログ波形等化器 10 の周波数特性を調整する。

【0020】

【発明の効果】本発明の 2 値化回路は上記のように構成されているので、複雑な回路を用いることなく波形等化回路の周波数特性を常に良好な状態に保持でき、記録媒体による周波数特性の差や周波数特性の時間的な変化があっても復号誤りの少ない信頼性の高いデータ再生を行うことができる。

【図面の簡単な説明】

【図 1】本発明の 2 値化回路の好ましい実施例を示すブロック図である。

【図 2】図 1 中の等化誤差演算器の構成例を示すブロック図である。

【図 3】図 1 中のデジタル波形等化器の構成例を示すブロック図である。

【図 4】図 1 中のアナログ波形等化器の構成例を示すブロック図である。

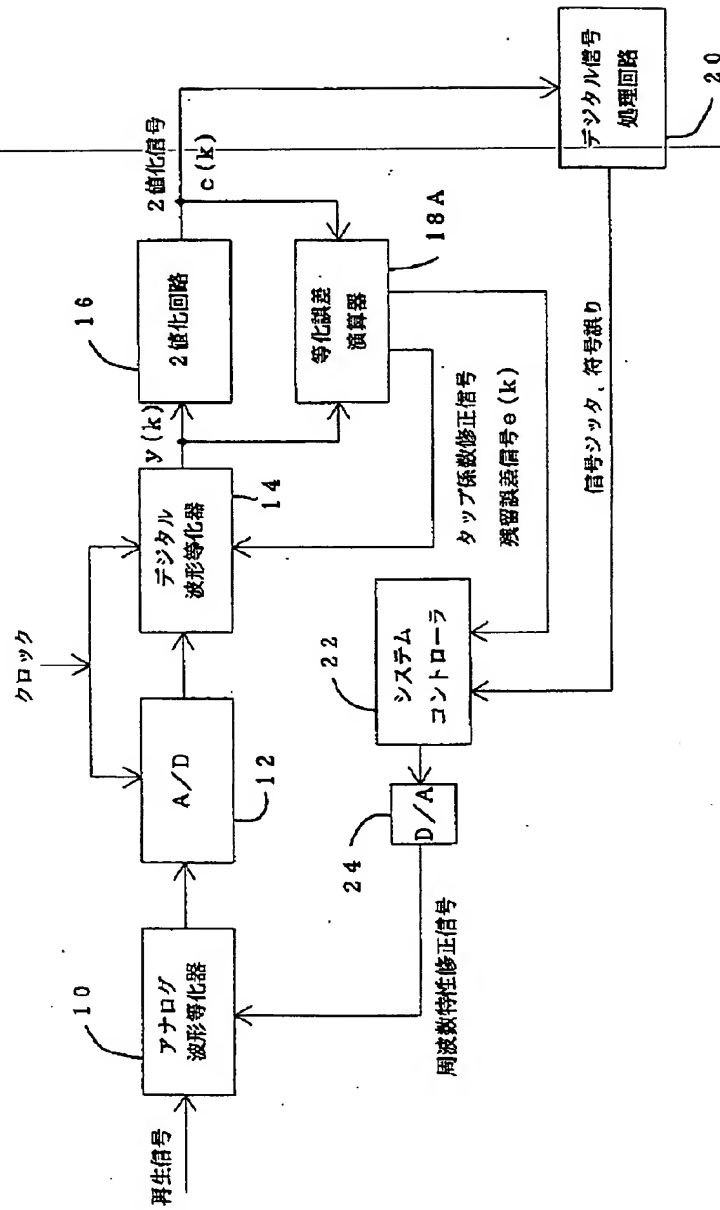
【図 5】図 1 中のシステムコントローラの動作例を示すフローチャートである。

【図 6】従来の 2 値化回路の構成を示すブロック図である。

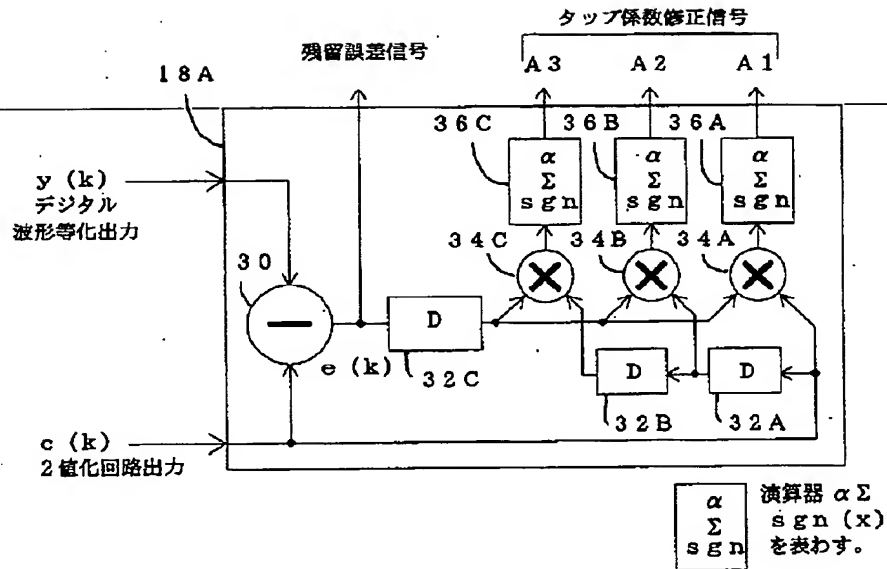
【符号の説明】

- 10 アナログ波形等化器 (アナログ波形等化回路)
- 12 A/D コンバータ (離散化回路)
- 14 デジタル波形等化器 (デジタル波形等化回路)
- 16 2 値化回路
- 18A 等化誤差演算器
- 20 デジタル信号処理回路
- 22 システムコントローラ (制御手段)
- 24 D/A コンバータ

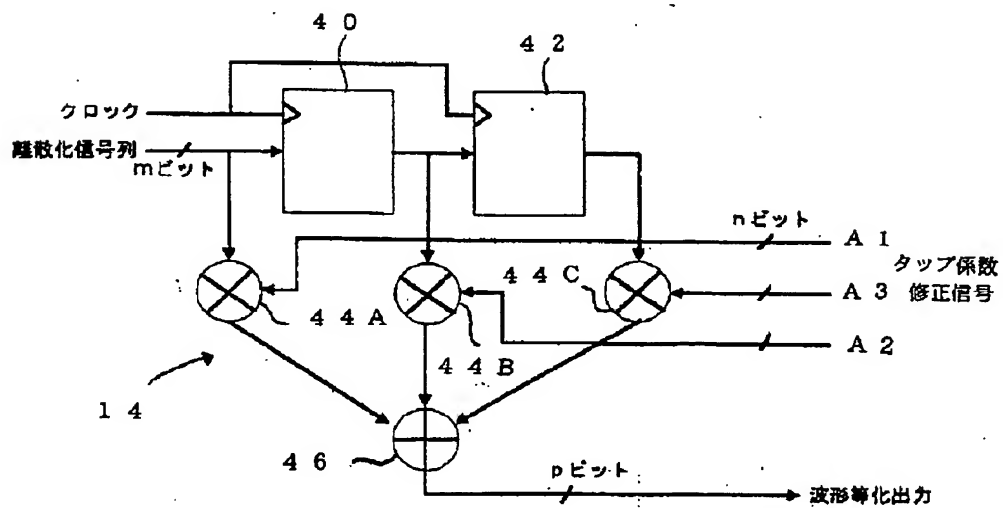
【図1】



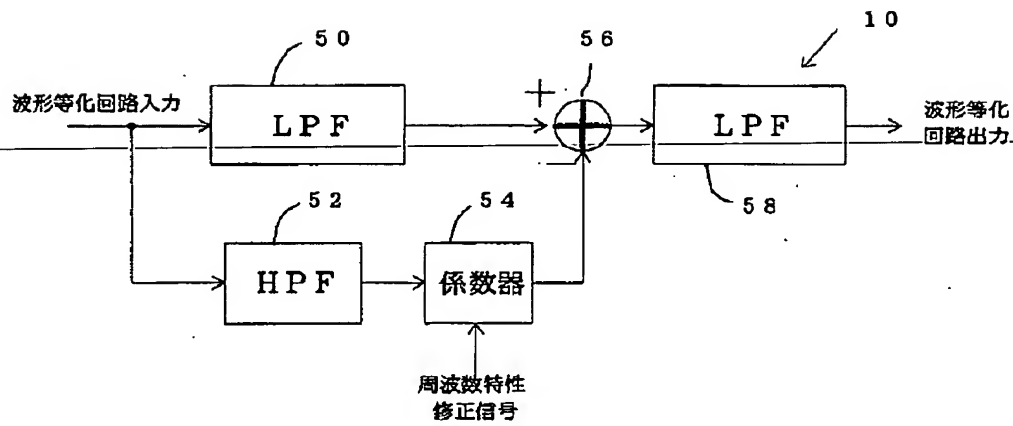
【図2】



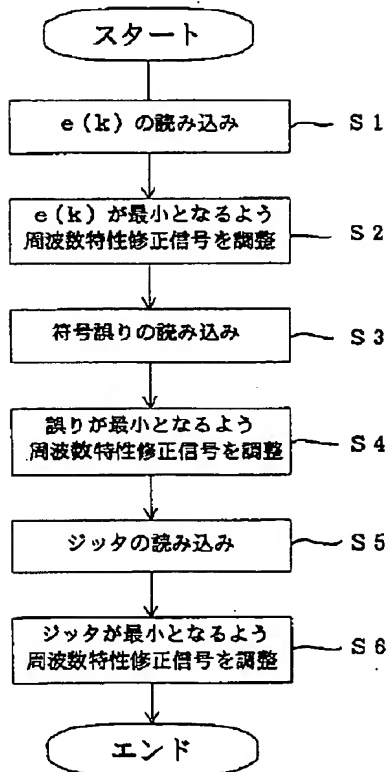
【図3】



【図4】



【図5】



【図6】

